

Japanese Patent Laid-open No. SHO 63-73323 A

Publication date : April 2, 1988

Applicant : Fujitsu Ltd.

Title : BUFFER MEMORY

5

2. Scope of Claims

A buffer memory comprising a plurality of elastic memories (1, 2) for each storing one frame data, characterized in that each elastic memory allows writing or reading to take place alternately in every two or more frames of the entered data and thereby the fluctuations of frame cycle of entered data can be absorbed and the data speed can be varied.

3. Detailed Description of the Invention

15 [Abstract]

A buffer memory is provided with a plurality of elastic memories each of which stores one frame data are equipped, in which each elastic memory allows writing or reading to take place alternately in every two or more frames of the entered data and thereby the fluctuations of frame cycle of entered data can be absorbed and the data speed can be varied.

[Prior Art]

Fig. 6 shows an example of a conventional this kind of buffer memory that carries out speed change of the data, which comprises a frame aligner buffer memory circuit 10 and speed

changing buffer memory circuit 20, and to the frame aligner
buffer memory circuit 10, the data D_i is written by the clock
 C_i of this input signal from the input terminal 30, and the
data D read from the frame aligner buffer memory circuit 10
5 by the clock C_p that synchronizes to the clock C_i of this input
signal but contains drift is written from the line 31 to the
speed change buffer memory circuit 20 by the clock C_p containing
the drift. The data stored in the speed change buffer memory
circuit 20 is read by the clock C_o on the output side and the
10 required speed change is carried out.

[Problem to be Solved by the Invention]

Because by this kind of conventional method, two stages
of buffer memory circuit are required, the control circuit
for controlling these buffer memories become complicated, and
15 consequently, it has a problem of increasing the hardware scale.

[Means for Solving the Problem]

The present invention enables a buffer memory to be
configured with one stage of elastic memory described above
by allowing the elastic memories 1, 2 in the buffer memory
20 apparatus to write or read in every two or more cycles of the
number of frames of the input data D_i as shown in Fig. 1.

[Effect of the Invention]

According to the present invention, it is possible to obtain
a buffer memory that can not only absorb fluctuations of frame
25 cycle of the input data but also can change the speed of the

data only by using one stage of elastic memory and a simple control circuit.

Fig. 6

5 10. Frame aligner buffer memory circuit

20. Speed change buffer memory circuit

Conventional example

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭63-73323

⑫ Int. Cl.⁴
G 06 F 5/06

識別記号
3 3 3

庁内整理番号
7230-5B
A-7230-5B

⑬ 公開 昭和63年(1988)4月2日

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 バッファメモリ装置

⑮ 特 願 昭61-215965

⑯ 出 願 昭61(1986)9月16日

⑰ 発 明 者 川 合 芳 雄 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑱ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑲ 代 理 人 弁 理 士 滝 野 秀 雄 外2名

明 細 書

1. 発明の名称

バッファメモリ装置

2. 特許請求の範囲

それぞれが1フレームのデータをストアする複数
数のエラスティックメモリ(1、2)を備え、そ
れぞれのエラスティックメモリは交互に入力デー
タの2フレーム同期またはそれ以上の同期ごとに
書き込みあるいは読出しが行われるようにすること
により、入力データのフレーム同期のゆらぎを吸
収するとともにデータの速度変換を可能ならしめ
たことを特徴とするバッファメモリ装置。

3. 発明の詳細な説明

(組 要)

それぞれが1フレームのデータをストアする複数
数のエラスティックメモリを備え、それぞれのエ
ラスティックメモリは交互に入力データの2フレ
ーム同期またはそれ以上の同期ごとに書き込みある

いは読出しが行われるようにすることにより、入
力データのフレーム同期のゆらぎを吸収するとと
もにデータの速度変換を可能ならしめた。

(産業上の利用分野)

本発明は、デジタル多重化装置の同期データ
端末インタフェース部あるいは伝送路インタフェ
ース部などに用いられる、フレームアライナ機能
と速度変換機能とを有するバッファメモリ装置に
関する。

(従来の技術)

第6図はデータの速度変換を行う従来のこの種
バッファメモリ装置の例を示すもので、フレーム
アライナバッファメモリ回路10と速度変換バッ
ファメモリ回路20とからなり、フレームアライ
ナバッファメモリ回路10にはデータDiが入力
され30からこの入力信号のクロックCiにより書
込まれ、この入力信号のクロックCiに同期して
はいるがドリフトを含むクロックCpによりこの

フレームアライナバッファメモリ回路10から送出されたデータDは、図31から速度変換バッファメモリ回路20にこのドリフトを含むクロックCPにより書込まれる。そして、この速度変換バッファメモリ回路20にストアされていたデータは出力側のクロックC0により送出されて所要の速度変換が行われる。

〔発明が解決しようとする問題点〕

このような従来の方法では、2段のバッファメモリ回路が必要となるのでこれらバッファメモリを制御するための制御回路が複雑になり、したがって、ハードウェアの規模が大きくなるという欠点があった。

〔問題点を解決するための手段〕

本発明は、第1図に示すように、バッファメモリ装置内のエラスティックメモリ1、2が入力データDiのフレーム数の2フレーム同期またはそれ以上の同期ごとに書込みあるいは読み出しが行わ

れるようにすることにより、バッファメモリ装置を1段の上記エラスティックメモリで構成し得るようにした。

この図では、書込みおよび読み出しをそれぞれ異なるクロックで実行するエラスティックメモリ1、2には、入力データDiを書込むためにこの入力データのフレームに同期したライトクロックWCと、書込まれているデータを読み出すために出力すべきデータのフレームに同期したリードクロックRCとが印加されている。

そして、このエラスティックメモリ1、2への書込みを実行させるためのライトイネーブル信号WEおよびこれらメモリからの読み出しを実行させるためのリードイネーブル信号REは、マルチプレクサ3、4として示した切換手段などにより、1つのエラスティックメモリについて出力されるべきデータ信号D0の2フレーム以上の期間に書込みあるいは読み出しが1フレーム期間だけ行われるようにこれらエラスティックメモリ1、2にそれぞれ交互に印加される。

3

〔作用〕

第2図はバッファメモリの動作を示すもので、同図(a)、(b)、(c)の(i)にはそれぞれエラスティックメモリへのデータの書込み、読み出しの状態を示しており、横軸には時間を、縦軸にはアクセスされているエラスティックメモリのアドレスをとってあり、実線で示してあるのは書込み、点線で示してあるのは読み出しの状態である。またこれら(a)、(b)、(c)図の(ii)は書込み側のフレーム期間、(iii)は読み出し側のフレーム期間である。

同図(a)は1つのエラスティックメモリによってバッファ回路を構成した場合に、入力信号の1フレーム期間Tiと出力信号の1フレーム期間Toとが完全に一致している理想的な状態を示すもので、第1のフレーム期間に書込まれたデータは次の第2のフレーム期間に読み出され、以下同様に奇数フレームに書込み偶数フレームに読み出すという動作を繰り返す。

しかしながら、このような動作では、データの速度変換を行うことはできないし、また入力信号

4

のフレーム同期あるいは位相が変動するのでこのような理想状態を維持することは実際上不可能である。

第2図(b)は入力データのフレーム期間にドリフトがある場合の例を示したもので、入力データの第1、6、7フレーム①、⑥、⑦のフレーム期間tiは一定の時間を有する1フレームの読み出し期間toより短く、第3、4フレーム③、④のフレーム期間tiは上記読み出し期間toより長く、また第2、5、8フレーム②、⑤、⑧のフレーム期間は上記読み出し期間toに等しいものとしてある。

この(b)図で、出力データの第2番目のフレーム②の読み出しr1の後の部分では、既に入力データの第3番目のフレームがこのエラスティックメモリに印加されており、この第3番目のフレームをストアするためには上記読み出しを行ってアドレスと異なるアドレスを書込みのために同時にアクセスしなければならず、また、入力データの第5番目のフレームを書込んでいる書込期間⑤の後部分ではこの第5番目のフレームの最初の部分

6

5

の読出し r_0 が開始されるので、これら書込みと読出しのためのアドレスを同時にアクセスしなければならない、いずれの部分でもこのようなアクセスを行うことは極めて困難である。

本発明では、第1図に1および2として示した例えば2つのエラスティックメモリを第2図(c)の $i-1$ および $i-2$ として示したように動作させることによって、上記の問題点を除去するものである。

(実施例)

第3図は連続して入力されるデータをストアする本発明のバッファメモリを使用した実施例を示すもので、エラスティックメモリ11および12の組とエラスティックメモリ21および22の組とがそれぞれ本発明のバッファメモリに相当し、したがってこの実施例では本発明によるバッファメモリを2組使用しているものである。

詳細な説明を行うに先立って、第4図の動作説明図によってその動作の概要を説明する。

7

スティックメモリから読出される出力データは図4に示すように、一定のフレーム周期で第1の組のエラスティックメモリ11、12と第2の組のエラスティックメモリ21、22とから順次読出される。

この(c)、(d)図において、例えば出力データの第3、7番目の期間においては、第1のエラスティックメモリ11、12の組のエラスティックメモリ11にデータが書込まれている期間中に同じ組のエラスティックメモリ11から読出しが行われているが、本発明によりこれら2つのエラスティックメモリ11と12とを組として用いているために、1つのエラスティックメモリに同時に書込みと読出しとを行うことがなく、これらエラスティックメモリの制御が容易になる。

また、この第7番目の期間においては、エラスティックメモリ12の書込みが終了してから読出しが始まるまでの時間が短く、入力データのフレーム期間のゆらぎがもう少し大きくなればこのエラスティックメモリ12は書込みと読出しとを同

同図(a)は入力データを、同図(b)は出力データをそれぞれフレームを単位として示したもので、また同図(c)および(d)はそれぞれエラスティックメモリの組ごとの書込みと読出しの状態を示すものであり、横軸の時間はこれら図面のすべてについて同一の時間経過を示している、なお、入力データはそのフレーム期間のゆらぎを誇張して示している。

また、同図(a)、(c)、(d)では書込みを行うフレームについては、書込みであることを示すためのWに書込まれるエラスティックメモリの符号を付加して示してあり、同図(b)、(c)、(d)では読出しを行うフレームについては、読出しであることを示すためのRに読出されるエラスティックメモリの符号を付加して示してある。

この入力データは(a)図に示すように、フレームごとに第1の組のエラスティックメモリ11、12と第2の組のエラスティックメモリ21、22とに順次書込まれるが、このフレームの期間はゆらぎのために一定していない。そしてこれらエラ

8

時に行うようになるが、このように入力データのフレーム期間のゆらぎが大きい場合には、3つ以上のエラスティックメモリを組として用いることによって、書込みと読出しとを同時に行うことを回避することができる。

第5図は上記第3図の実施例の動作を詳細に説明するための波形図であって、同図(a)~(d)はエラスティックメモリ11、12、21、22の入力側の、また同図(e)~(h)は同じく出力側の動作を示すものであり、横軸の時間は第4図に合わせてある。同図(a)に示した入力データのフレーム同期信号は、そのゆらぎによってその期間が一定しておらず、また同図(e)に示したリードフレーム同期信号はその周期が一定していることは前述のとおりである。

第5図(a)に示す入力データのフレーム同期信号が読出されるとエラスティックメモリ11、12からなる組の書込アドレスが(b)図のライトアドレスリセット信号WR₁によりリセットされ、エラスティックメモリ11に(c)図のライトイネーブル

9

10

信号WE₁が印加されると、第3図には図示を省略したアドレス発生回路などにより生成された連続するアドレスに入力データを順次書き込み、入力データの次のフレーム同期信号が到来すると(d)図のライトイネーブル信号WE₁がエラスティックメモリ12に供給されて上記同様に入力データの次のフレームを連続するアドレスに順次書き込む。

さらに、入力データの第3番目のフレーム同期信号が到来すると、エラスティックメモリの第2の組21、22に対して(e)図のライトアドレスリセット信号WR₂が印加され、エラスティックメモリ21に(f)図のライトイネーブル信号WE₂が印加されるとこのメモリ21はこの第3番目のフレームのデータを連続するアドレスに順次書き込み、入力データの次の第4番目のフレーム同期信号が到来してエラスティックメモリ22に対して(g)図のライトイネーブル信号WE₂が印加されると、このメモリ22はこの第4番目のフレームのデータを上記同様に書き込む。

一方、このエラスティックメモリの読出し側では(h)図の一定周期のリードフレーム同期信号により上記書き込みの場合と同様に(i)~(n)図のリードアドレスリセット信号RR₁、RR₂およびリードイネーブル信号RE₁、RE₁、RE₁、RE₂によりエラスティックメモリ11、12、21、22から順次読出しが行われて、一定のフレーム周期を有する出力データとして連続する利用手段に供給される。

〔発明の効果〕

本発明によれば、1段のエラスティックメモリと簡単な制御回路を使用するだけで、入力データのフレーム同期のゆらぎを吸収できるばかりでなくデータの速度変換が可能な優れたバッファメモリ装置を得ることができる。

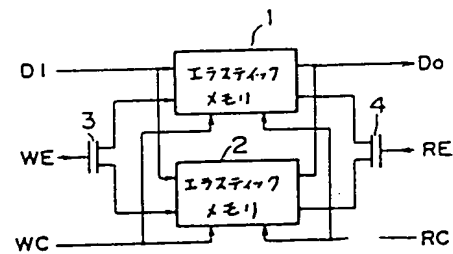
4. 図面の簡単な説明

第1図は本発明の原理を説明するための回路を示す図、第2図は本発明の原理を示す動作説明図、

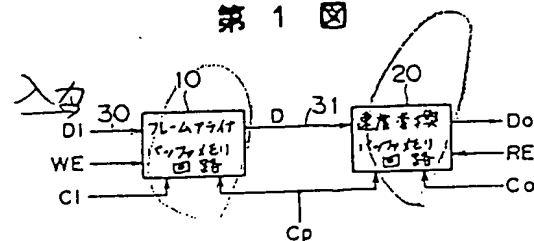
第3図は本発明のバッファメモリ装置により連続入出力を行うようにした実施例、第4図、第5図は第3図の実施例の動作を説明する図、第6図は従来例である。

1、2はエラスティックメモリである。

特許出願人 富士通株式会社
代理人 廣野秀雄
同 中内康雄
同 有坂 隆

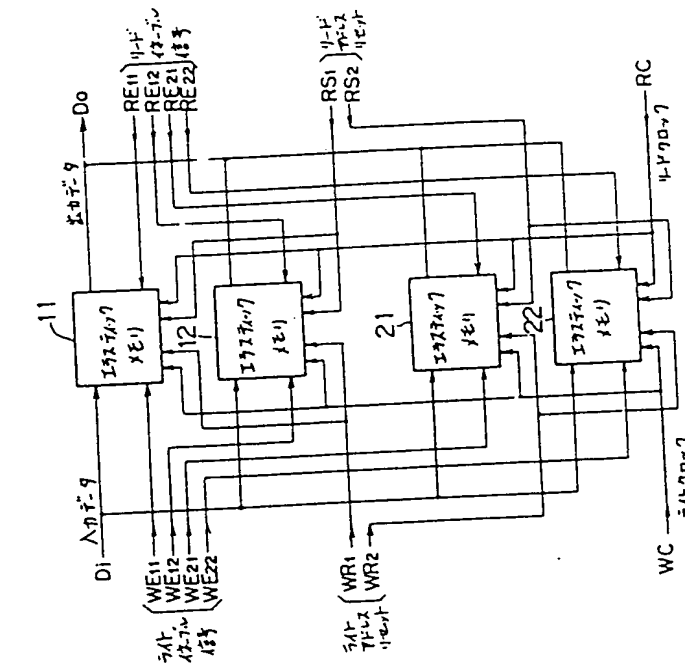


原理図
第1図



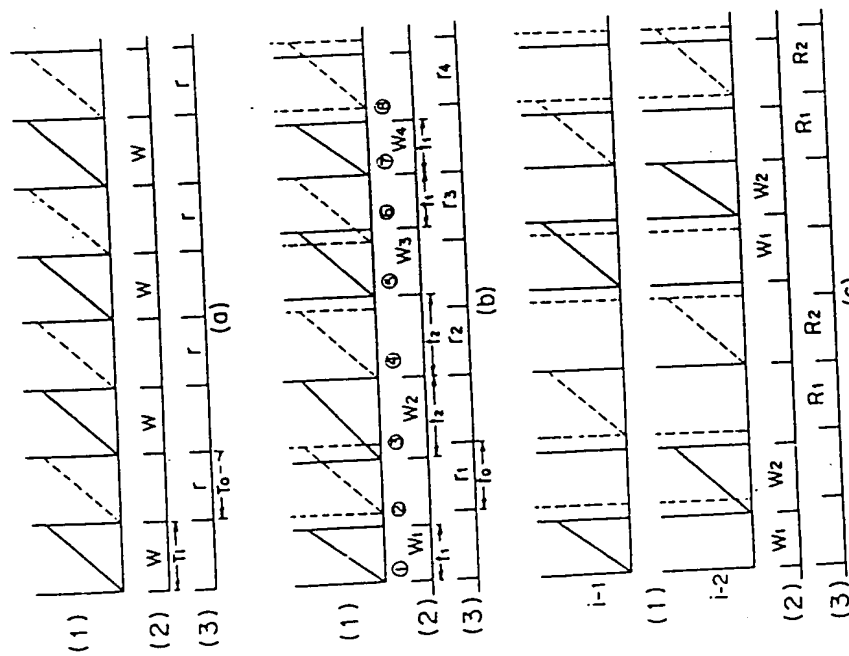
従来例

第6図



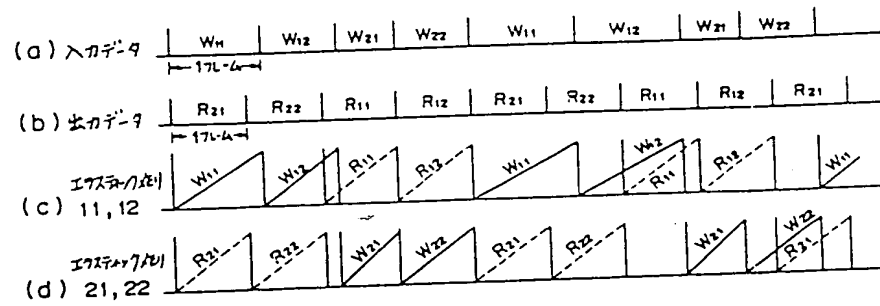
連続入出力を行う実施例

第 3 図

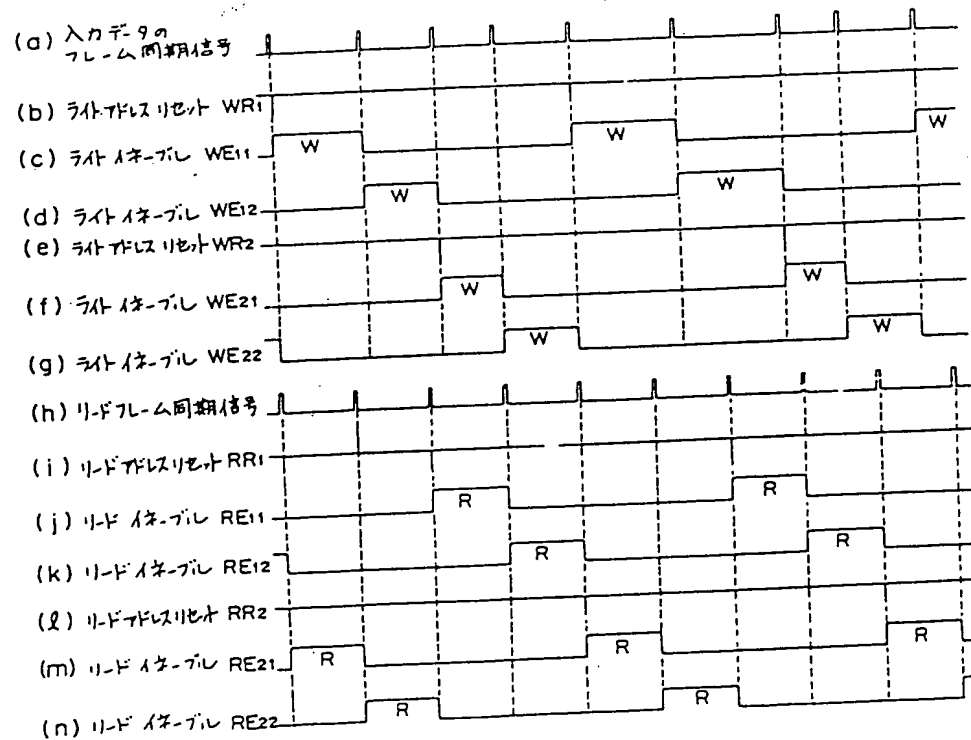


メモリの動作説明図

第 2 図



第 4 図



第 5 図